

**UTILITY
PATENT APPLICATION
TRANSMITTAL**

(Only for new nonprovisional applications under 37 CFR 1.63(b))

Attorney Docket No. 2000 1067A

Total Pages :

First Named Inventor or Application Identifier

Tadami MINE

Express Mail Label No.:

APPLICATION ELEMENTS

See MPEP chapter 600 concerning utility patent application contents.

ADDRESS TO: Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

1. ☒ Fee Transmittal Form
(Submit an original, and a duplicate for fee processing)

2. ☒ Japanese language Specification [Total Pages -30]
(preferred arrangement set forth below)

- Descriptive title of the invention
- Cross References to Related Applications
- Statement Regarding Fed sponsored R & D
- Reference to Microfiche Appendix
- Background of the Invention
- Brief Summary of the Invention
- Brief Description of the Drawings (if filed)
- Detailed Description
- Claim(s)
- Abstract of the Disclosure

3. ☒ Drawing(s) (35 USC 113) [Total sheets -11]

4. ☒ Oath or Declaration with cover ltr [Total Pages - 5]

a.1. ☐ Newly executed (original or copy)

a.2. ☒ Unexecuted

b. ☐ Copy from a prior application (37 CFR 1.63(d))
(for continuation/divisional with Box 17 completed)

[Note Box 5 below]

i. ☐ DELETION OF INVENTOR(S)

Signed statement attached deleting inventor(s)
named in the prior application, see 37 CFR
1.63(d)(2) and 1.33(b).

5. ☐ Incorporation By Reference
(usable if Box 4b is checked)

The entire disclosure of the prior application, from which
a copy of the oath or declaration is supplied under Box
4b, is considered as being part of the disclosure of the
accompanying application and is hereby incorporated by
reference therein.

6. Microfiche Computer Program (Appendix)

7. ☐ Nucleotide and/or Amino Acid Sequence Submission
(if applicable, all necessary)

a. ☐ Computer Readable Copy

b. ☐ Paper Copy (identical to computer copy)

c. ☐ Statement verifying identity of above copies

ACCOMPANYING APPLICATION PARTS

8. ☐ Assignment Papers (cover sheet & document(s))

9. ☐ 37 CFR 3.73(b) Statement ☐ Power of Attorney
(when there is an assignee)

10. ☐ English Translation Document (if applicable)

11. ☒ Information Disclosure Statement (IDS)/PTO-1449
[x] Copies of IDS Citations

12. ☐ Preliminary Amendment

13. ☒ Return Receipt Postcard (MPEP 503)
(Should be specifically itemized)

14. ☐ Small Entity Statement(s)

15. ☐ Statement filed in prior application, Status still proper and desired

16. ☐ Certified Copy of Priority Document(s)
(if foreign priority is claimed)

16. ☐ Other

17. If a CONTINUING APPLICATION, check appropriate box and supply the requisite information:

☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior Application No.

18. CORRESPONDENCE ADDRESS

WENDEROTH, LIND & PONACK, L.L.P.

2033 "K" Street, N.W.

Suite 800

Washington, D.C. 20006

Phone:(202) 721-8200

Fax:(202) 721-8250

August 10, 2000

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEE FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 28-0975.

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY TO THE
DEPOSIT ACCOUNT NO. 23-0975
EXCEPT IN THE CASE OF NEW APPLICATIONS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Tadami MINE :
Serial No. NEW : Attn: APPLICATION BRANCH
Filed August 10, 2000 : Attorney Docket No. 2000_1067A

NOISE REDUCTION CIRCUIT FOR CCD
OUTPUT SIGNAL

PATENT OFFICE FEE TRANSMITTAL FORM

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Attached hereto is a check in the amount of \$690.00 to cover Patent Office fees relating to filing the following attached papers:

New application \$690.00

A duplicate copy of this paper is being submitted for use in the Accounting Division, Office of Finance.

The Commissioner is authorized to charge any deficiency or to credit any overpayment associated with this communication to Deposit Account No. 23-0975, with the EXCEPTION of deficiencies in fees for multiple dependent claims in new applications.

Respectfully submitted,

Tadami MINE

By Charles R. Watts
Charles R. Watts
Registration No. 33,142
Attorney for Applicant

CRW/tf
WENDEROTH, LIND & PONACK, L.L.P.
2033 K St., N.W., Suite 800
Washington, D.C. 20006
Telephone (202) 721-8200
August 10, 2000

[Check No. 39300
2000_1067A

000T30"099EE960

発 明 の 名 称 (TITLE OF THE INVENTION)

CCD出力信号のノイズ低減回路

発明の分野 (FIELD OF THE INVENTION)

本発明はノイズ低減回路に関するものであり、特に電荷結合素子（CCD）の出力のノイズを低減するノイズ低減回路に関する。

発明の背景 (BACKGROUND OF THE INVENTION)

CCDは、一般に撮像素子として用いられていて、従来の撮像管に比べて、小型、軽量、低消費電力、高信頼性という特長があり、更に、図形ひずみや焼き付きがないなどの利点もある。このためCCDは、当初、家庭用VTR一体型カメラ等から採用され始め、近年では、高画質を要求される放送用カメラにまで広く使用されている。

ところで、このような高解像度化に際して問題となるのは、信号電荷量の低下に伴う、感度の低下とダイナミックレンジの低下である。このような問題を解決し、高解像度で高品質な画像を得るためには、ノイズの低減化が不可欠である。このCCDのノイズとして主なものは、CCD出力に繰り返し現れるフィードスルーレベル期間と信号レベル期間とで相関があるリセットノイズや、周波数に逆比例する $1/f$ ノイズ等である。

これらのノイズの低減を目指して、様々なノイズ低減方法が提案されている。その中でも、遅延差ノイズ除去法は、特公平5-9987号公報に詳しく記載されているが、ゲーティング回路を用いているため高域雑音の低域への折り返しが少なく、ノイズ低減効果の大きい有効な方法である。

また、特開平 4 - 1 5 9 8 8 0 号公報に記載されているような非加算混合回路（以下 N A M 回路と記す）を用いた方法もある。

図 8 は従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路の構成を示すブロック図である。このノイズ低減回路は、次のように構成されている。C C D 5 0 の出力端子は差分回路 5 6 の非反転入力端子（+）に接続されているとともに、遅延回路 5 4 の入力端子に接続される。遅延回路 5 4 の出力端子が差分回路 5 6 の反転入力端子（-）に接続される。差分回路 5 6 の出力端子がゲート回路 5 8 の入力端子に接続され、ゲート回路 5 8 の制御入力端子にパルス発生回路 5 5 の出力端子が接続されている。ゲート回路 5 8 の出力端子はローパスフィルタ（L P F）5 7 の入力端子に接続されている。

図 9 は図 8 のノイズ低減回路の動作を示すタイミングチャートであり、図 8 における各信号 X a ~ X f を示している。

図 9（a）は、C C D 5 0 から出力される C C D 出力信号 X a の波形を示す。この C C D 出力信号 X a は、リセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v とを順に繰り返す波形となっている。C C D 出力信号 X a において、フィードスルーレベル期間 t におけるノイズ成分 N t と信号レベル期間 v におけるノイズ成分 N v とは相関がある。

遅延回路 5 4 は、C C D 5 0 からの C C D 出力信号 X a を入力され、所定の遅延時間 τ だけ出力信号 X a を遅延し、図 9（b）に示す遅延信号 X b を差分回路 5 6 に出力する。遅延時間 τ は、C C D 出力信号 X a の信号レベル期間 v と遅延信号 X b のフィードスルーレベル期間 t とが重なるように設定されている。

C C D 5 0 の C C D 出力信号 X a は差分回路 5 6 の非反転入力端子 (+) に入力され、遅延回路 5 4 の遅延信号 X b は差分回路 5 6 の反転入力端子 (-) に入力される。差分回路 5 6 は、両者の差分 ($X a - X b$) を演算し、その
5 演算結果の図 9 (c) に示す差分信号 X c を出力する。

この差分信号 X c において、図 9 (a) に示す C C D 出力信号 X a での信号レベル期間 v のうちの一部の期間 v' では、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 N v とフィードスルーレベル期間 t における
10 ノイズ成分 N t とが打ち消し合い除去されている。

図 9 (d) は、パルス発生回路 5 5 からゲート回路 5 8 に出力されるパルス信号 X d の波形を示す。このパルス信号 X d は、C C D 出力信号 X a と同じ周期をもち、差分信号 X c における期間 v' のみにおいてハイレベルである。

図 9 (e) は、ゲート回路 5 8 の出力信号 X e の波形を示している。期間 v' においてパルス信号 X d がハイレベルとなってゲート回路 5 8 が開くため、期間 v' での差分信号 X c が出力される。この期間 v' での差分信号 X c にはノイズ成分は含まれておらず、したがって、ゲート回路
15 5 8 からの出力信号 X e にもノイズ成分は含まれていない。

L P F 5 7 は、ゲート回路 5 8 からの出力信号 X e を入力して、不要な高域成分を除去して平均化し、図 9 (f) に示す最終の出力信号 X f を出力する。

図 1 0 は非加算混合 (N A M) 回路を用いた方法のノイズ低減回路の構成を示すブロック図である。C C D 6 0 の出力端子は差分回路 6 6 の非反転入力端子 (+) に接続されているとともに、第 1 の遅延回路 6 4 a の入力端子に接続されている。第 1 の遅延回路 6 4 a の出力端子は差分回路 6 6 の反転入力端子 (-) に接続されている。差分回路
25 6 6 の出力端子は第 1 の N A M 回路 6 1 の一方の入力端子
30

に接続され、第1のNAM回路61の他方の入力端子にはパルス発生回路65の出力端子が接続されている。第1のNAM回路61の出力端子は、第2の遅延回路64bの入力端子と第2のNAM回路62の一方の入力端子とに接続されている。第2の遅延回路64bの出力端子は第2のNAM回路62の他方の入力端子に接続されている。第2のNAM回路62の出力端子はローパスフィルタ(LPF)67の入力端子に接続されている。

図11は図10のノイズ低減回路の動作を示すタイミングチャートであり、図10における各信号Y_a～Y_hを示している。

図11(a)は、CCD60から出力されるCCD出力信号Y_aの波形を示す。このCCD出力信号Y_aは、リセットレベル期間rとフィードスルーレベル期間tと信号レベル期間vとを順に繰り返す波形となっている。CCD出力信号Y_aにおいて、フィードスルーレベル期間tにおけるノイズ成分N_tと信号レベル期間vにおけるノイズ成分N_vとは相関がある。

第1の遅延回路64aは、CCD出力信号Y_aが入力され、所定の遅延時間 τ だけ出力信号Y_aを遅延し、図11(b)に示す遅延信号Y_bを差分回路66に出力する。遅延時間 τ は、CCD出力信号Y_aの信号レベル期間vと遅延信号Y_bのフィードスルーレベル期間tとが重なるように設定されている。

CCD出力信号Y_aは差分回路66の非反転入力端子(+)に入力され、第1の遅延回路64aの遅延信号Y_bは差分回路66の反転入力端子(-)に入力される。差分回路66は、両者の差分(Y_a - Y_b)を演算し、その演算結果である、図11(c)に示す差分信号Y_cを出力する。

この差分回路66の差分信号Y_cの形態は、図9(c)に

示すものと同様である。図 1 1 (a) に示す C C D 出力信号 Y a での信号レベル期間 v のうちの一部の期間 v' では、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 N_v と、フィードスルーレベル期間 t におけるノイズ成分 N_t とが打ち消し合い除去されている。

図 1 1 (d) は、パルス発生回路 6 5 から第 1 の N A M 回路 6 1 に出力されるパルス信号 Y d の波形を示す。このパルス信号 Y d は、C C D 出力信号 Y a と同一の周期をもち、期間 v' 以外の期間のみにおいてハイレベルである。

パルス信号 Y d のピークツウピーク値 B' は、差分信号 Y c のピークツウピーク値 A' よりも大きくなければならない。ピークツウピーク値 A' は C C D 出力信号 Y a のピークツウピーク値 A の 2 倍であるから、ピークツウピーク値 B' は、C C D 出力信号 Y a のピークツウピーク値 A の 2 倍よりも大きく設定されている。したがって、パルス信号 Y d のハイレベルは差分信号 Y c の最大値よりも高く、パルス信号 Y d のローレベルは差分信号 Y c の最小値よりも低い。

第 1 の N A M 回路 6 1 は、差分信号 Y c とパルス信号 Y d とが入力され、C C D 出力信号 Y a のリセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v とのいずれにおいても、差分信号 Y c とパルス信号 Y d のうちレベルがより高い方の信号を選択して出力する。したがって、第 1 の N A M 回路 6 1 が出力する混合信号 Y e は、図 1 1 (e) に示すような波形になる。この混合信号 Y e の波形は、図 1 1 (a) に示す C C D 出力信号 Y a の信号レベル期間 v のうちの一部の期間 v' においては、図 1 1 (c) に示す差分信号 Y c の波形と同じであり、期間 v' 以外の期間においては、図 1 1 (d) に示すパルス信号 Y d の波形に置換された波形である。第 1 の N A M 回路 6 1

の出力する混合信号 Y_e は、第 2 の遅延回路 6 4 b と第 2 の N A M 回路 6 2 とに出力される。

第 2 の遅延回路 6 4 b は、C C D 出力信号 Y_a の周期の 2 分の 1 だけ混合信号 Y_e を遅延して、図 1 1 (f) に示す遅延信号 Y_f を第 2 の N A M 回路 6 2 に出力する。第 2 の N A M 回路 6 2 は、混合信号 Y_e と遅延信号 Y_f を入力され、C C D 出力信号 Y_a のリセットレベル期間 r とフィールドスルーレベル期間 t と信号レベル期間 v とのいずれにおいても、混合信号 Y_e と遅延信号 Y_f のうちレベルがより高い方の信号を選択して出力する。したがって、第 2 の N A M 回路 6 2 の出力する混合信号 Y_g は、図 1 1 (g) に示す波形となる。この混合信号 Y_g の波形は、混合信号 Y_e のハイレベルと遅延信号 Y_f のハイレベルを含んだものとなっている。

ローパスフィルタ 6 7 は、第 2 の N A M 回路 6 2 からの混合信号 Y_g が入力され、その不要な高域成分を除去して平均化し、図 1 1 (h) に示す最終の出力信号 Y_h を出力する。

C C D の高画素化が進み、1 画素の周期が短くなるのに伴い、図 8 に示す遅延差ノイズ除去法を用いたノイズ低減回路では、ゲート回路 5 8 に使用されるスイッチング回路の広帯域化が必要となり、十分なノイズ低減効果が実現されにくい。

これに対し、図 1 0 に示す N A M 回路を用いた方法では、スイッチング動作が含まれないため、C C D の高画素化に伴いノイズ低減回路の広帯域化が必要になっても、確実にノイズ低減効果が得られる。

しかし、上記いずれの回路においても、C C D の高画素化に伴いノイズ低減回路の広帯域化が必要となり、消費電力が増大する。つまり、図 9 (a) 、図 1 1 (a) に示す

リセットレベル期間 r の振幅は、CCD 50、60 の高画素化に伴い、1 画素の周期が短くなるにつれて大きくなる。このため、CCD の出力信号のピークツウピーク値 A は大きくなる。

- 5 従来のノイズ低減回路において使用される差分回路 56、66 のダイナミックレンジは、図 9 (c) と図 11 (c) とから明らかなように、少なくともピークツウピーク値 A の 2 倍以上でなければならず、差分回路の消費電力が増大する。また、差分回路 56 の後段のゲート回路 58 と、差分回路 66 の後段の第 1 の NAM 回路 61 と第 2 の NAM 回路 62 とについても、同様にピークツウピーク値 A の 2 倍以上のダイナミックレンジが必要となり、消費電力が増大する。さらに、図 10 におけるパルス発生回路 65 においても、パルス信号 Y_d のピークツウピーク値が大きく、その消費電力が増大する。

発明の概要 (SUMMARY OF THE INVENTION)

- 20 本発明は、高密度画素の CCD に対しても低消費電力で十分なノイズの低減効果が得られるノイズ低減回路を提供する。

- 25 本発明に関するノイズ低減回路では、パルス発生回路が電荷結合素子の出力信号と同一周期の複数種類のパルス信号を出力し、非加算混合 (NAM) 回路のようにレベルがより低い方の信号を選択して出力する 2 つの混合回路が含まれる。第 1 の混合回路は、電荷結合素子の出力信号とパルス発生回路の第 1 のパルス信号のうちレベルがより低い方の信号を選択し、また、第 2 の混合回路は電荷結合素子の出力信号とパルス発生回路の第 2 のパルス信号のうちレベルがより低い方の信号をする。さらに、遅延回路によって
30 第 2 の混合回路の出力信号が遅延された後で、差分回路が

第1の混合回路の出力信号と遅延回路の出力信号との差をとる。

この構成によると、次のような作用がある。すなわち、信号レベル期間におけるノイズ成分がフィードスルーレベル期間におけるノイズ成分によって相殺される、電荷結合素子の出力信号にのっているノイズを低減することができる。差分をとる前に、電荷結合素子の出力信号と、第1または第2のパルス信号との間で、レベルがより低い方の信号が選択されるので、パルス信号のピークツウピーク値を小さくすることができる。電荷結合素子の高画素化に伴って画素周期が短くなっても、差分回路とNAM回路と遅延回路のダイナミックレンジが小さくてもよい。これらパルス発生回路、差分回路、混合回路、遅延回路のそれぞれにおいて消費電力が低減される。

また、本発明にかかわる別のノイズ低減回路では、遅延回路が電荷結合素子の出力信号を遅延し、パルス発生回路が電荷結合素子の出力信号と同じ周期のパルス信号を出力する。非加算混合(NAM)回路のように、レベルがより低い方の信号を選択して出力する2つの混合回路が含まれる。第1の混合回路は電荷結合素子の出力信号とパルス発生回路のパルス信号とのうち、レベルがより低い方の信号を選択する。第2の混合回路は遅延回路の遅延信号とパルス発生回路のパルス信号とのうち、レベルがより低い方の信号を選択する。差分回路は、第1の混合回路の出力信号と第2の混合回路の出力信号との差をとる。

この構成によると、次のような作用がある。信号レベル期間におけるノイズ成分はフィードスルーレベル期間におけるノイズ成分によって相殺され、電荷結合素子の出力信号にのっているノイズが低減される。差分をとる前に、電荷結合素子の出力信号とその遅延信号に対して、それぞれ

パルス信号との間でレベルがより低い方の信号が選択されるので、パルス信号のピークツウピーク値が小さくてもよい。電荷結合素子の高画素化に伴って画素周期が短くなっても、差分回路とNAM回路とのダイナミックレンジが小さくてもよい。これらパルス発生回路と差分回路と混合回路とのそれぞれにおいて、消費電力が低減される。さらには、パルス発生回路が出力するパルス信号が1種類ですむため、回路が簡素になり、一層消費電力が低減される。

また、本発明にかかわるさらに別のノイズ低減回路では、反転回路が電荷結合素子の出力信号を正負反転し、遅延回路は反転回路の出力信号を遅延する。パルス発生回路は電荷結合素子の出力信号と同じ周期の1種類のパルス信号を出力し、非加算混合(NAM)回路のように、レベルがより低い方の信号を選択して出力する2つの混合回路が用いられる。第1の混合回路は電荷結合素子の出力信号とパルス発生回路のパルス信号とのうち、レベルがより低い方の信号を選択し、第2の混合回路は遅延回路の出力信号とパルス発生回路のパルス信号とのうちレベルがより低い方の信号を選択する。その後、加算回路は、第1の混合回路の出力信号と第2の混合回路の出力信号との和をとる。

この構成によると、次のような作用がある。信号レベル期間におけるノイズ成分はフィードスルーレベル期間におけるノイズ成分によって相殺されるので、電荷結合素子の出力信号にのっているノイズが低減される。電荷結合素子の出力信号と、それが反転され遅延された信号とに対してそれぞれパルス信号との間で、レベルがより低い方の信号が選択され、その選択された2つの信号が加算されている。したがって、電荷結合素子の高画素化に伴って画素周期が短くなっても、加算回路とNAM回路のダイナミックレンジが小さくてもよく、これらパルス発生回路と加算回路、

N A M 回路のそれぞれにおいて消費電力が低減される。さらには、パルス発生回路が出力するパルス信号が 1 種類で済むため、回路が簡素化され、一層消費電力が低減される。特に、パルス発生回路の発生するパルス信号のピークツウ

5 ピーク値が十分に小さてもよいため、電荷結合素子の高画素化に伴って画素周期が短くなっても、このパルス発生回路において大幅に消費電力が低減される。

図面の簡単な説明 (BRIEF DESCRIPTION OF THE DRAWINGS)

10 図 1 は、本発明の実施の形態 1 におけるノイズ低減回路の構成を示すブロック図である。

図 2 は、本発明の実施の形態 1 におけるノイズ低減回路の動作を示すタイミングチャートである。

15 図 3 は、本発明の実施の形態 2 におけるノイズ低減回路の構成を示すブロック図である。

図 4 は、本発明の実施の形態 2 におけるノイズ低減回路の動作を示すタイミングチャートである。

図 5 は、本発明の実施の形態 3 におけるノイズ低減回路の構成を示すブロック図である。

20 図 6 は、本発明の実施の形態 3 におけるノイズ低減回路の動作を示すタイミングチャートである。

図 7 は、本発明の実施の形態 1、2、または 3 における、第 1 の N A M 回路と第 2 の N A M 回路との具体的な回路構成を示す回路図である。

25 図 8 は、従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路の構成を示すブロック図である。

図 9 は、従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路の動作を示すタイミングチャートである。

30 図 10 は、従来の技術の N A M 回路を用いたノイズ低減回路の構成を示すブロック図である。

図 1 1 は、従来の技術の N A M 回路を用いたノイズ低減回路の動作を示すタイミングチャートである。

5 発明の実施の形態 (DESCRIPTION OF THE PREFERRED EMBODIMENT)

(実施の形態 1)

以下、本発明の実施の形態 1 のノイズ低減回路について図 1、図 2 および図 7 を用いて説明する。

図 1 は本実施の形態 1 におけるノイズ低減回路の構成の一例を示すブロック図である。電荷結合素子 (C C D) 10 の出力端子は第 1 の非加算混合 (N A M) 回路 1 1 の一方の入力端子と第 2 の N A M 回路 1 2 の一方の入力端子とに接続されている。第 1 の N A M 回路 1 1 のもう一方の入力端子と第 2 の N A M 回路 1 2 のもう一方の入力端子とはパルス発生回路 1 5 の出力端子が接続されている。パルス発生回路 1 5 は、C C D 1 0 の出力信号 S a の周期と同一周期の 2 種類のパルス信号 S b, S c を出力する。これら 2 種類のパルス信号 S b, S c の違いは、図 2 を用いて後述される。

これら 2 種類のパルス信号 S b, S c のうち、第 1 のパルス信号 S b が第 1 の N A M 回路 1 1 に入力され、第 2 のパルス信号 S c が第 2 の N A M 回路 1 2 に入力される。第 1 の N A M 回路 1 1 は、入力される C C D 出力信号 S a と第 1 のパルス信号 S b のうち低い方のレベルの信号を出力し、その出力信号を S e とする。また、第 2 の N A M 回路 1 2 も同様に、入力される C C D 出力信号 S a と第 2 のパルス信号 S c のうち低い方のレベルの信号を出力し、その出力信号を S d とする。

2 つの N A M 回路 1 1、1 2 が低い方のレベルの信号を出力することは、図 7 を用いて後述される。

第2のNAM回路12の出力端子は遅延回路14の入力端子に接続され、遅延回路14の出力端子は差分回路16の一方の入力端子である反転入力端子(−)に接続される。すなわち、第2のNAM回路12の出力する混合信号S_dが遅延回路14に入力され、遅延回路14の出力する遅延信号S_fが差分回路16の反転入力端子(−)に入力される。第1のNAM回路11の出力端子は差分回路16の他方の入力端子である非反転入力端子(+)に接続されている。すなわち、第1のNAM回路11の出力する混合信号S_eが差分回路16の非反転入力端子(+)に入力される。

差分回路16は、第1のNAM回路11から非反転入力端子(+)に入力した混合信号S_eと遅延回路14から反転入力端子(−)に入力した遅延信号S_fとの差分(S_e − S_f)を演算して、その演算結果の差分信号S_gを出力する。差分回路16の出力端子はローパスフィルタ(LPF)17の入力端子に接続され、LPF17は不要な高域成分を除去した出力信号S_hを出力する。

図7は第1のNAM回路11や第2のNAM回路12の具体的な回路構成を示す回路図である。直流電源V_{cc}に定電流源I_aが接続され、第1のPNP型トランジスタQ1と第2のPNP型トランジスタQ2のそれぞれのエミッタどうしが接続されて、その接続点が定電流源I_aと出力端子V_{out}とに接続される。トランジスタQ1、Q2のコレクタがグランドGNDに接続されている。第1のPNP型トランジスタQ1のベースが第1の入力端子V_{in1}であり、第2のPNP型トランジスタQ2のベースが第2の入力端子V_{in2}である。

第1の入力端子V_{in1}にCCD10からのCCD出力信号S_aが入力され、第2の入力端子V_{in2}にパルス発生回路15からの第1のパルス信号S_bが入力されるものとする。

る。CCD出力信号S aの電位が第1のパルス信号S bの電位よりも低レベルのときは、第1のPNP型トランジスタQ 1がエミッタフォロワとして働き、第2のPNP型トランジスタQ 2がオフ状態となり、出力端子V outからは、

5 第1の入力端子V in1に入力されるCCD出力信号S aの電位がそのまま現れる。逆に、第1のパルス信号S bがCCD出力信号S aよりも低レベルのときは、第2のPNP型トランジスタQ 2がエミッタフォロワとして働き、第1のPNP型トランジスタQ 1がオフ状態となり、出力端子

10 V outからは、第2の入力端子V in2に入力される第1のパルス信号S bの電位がそのまま現れる。

以上で、第1のNAM回路1 1が説明されたが、第2のPNP型トランジスタQ 2の第2の入力端子V in2にパルス発生回路1 5からの第2のパルス信号S cが入力される

15 第2のNAM回路1 2も同様に動作する。すなわち、これら第1および第2のNAM回路1 1、1 2は、2つの信号が入力されたときに、低いレベルの方の信号を選択して出力する。

次に、図2に示すタイミングチャートを用いて本実施の

20 形態1のノイズ低減回路の動作を説明する。

図2(a)は、CCD10から出力されるCCD出力信号S aの波形を示す。このCCD出力信号S aは、リセットレベル期間r、フィードスルーレベル期間tおよび信号レベル期間vを順に繰り返す波形となっている。CCD出力信号S aにおいて、網点で示すフィードスルーレベル期間tにおけるノイズ成分N tと信号レベル期間vにおけるノイズ成分N vとは相関性をもっている。

25

図2(b)は、パルス発生回路1 5から第1のNAM回路1 1に出力される、第1のパルス信号S bの波形を示す。

30 この第1のパルス信号S bは、CCD出力信号S aと同じ

P23484 出願用和文明細書

周期をもち、CCD出力信号 S_a における信号レベル期間 v の一部の期間 v' のみにおいてハイレベルである。

図2(c)は、パルス発生回路15が第2のNAM回路12に出力する第2のパルス信号 S_c の波形を示す。この第2のパルス信号 S_c は、CCD出力信号 S_a と同じ周期をもち、CCD出力信号 S_a におけるフィードスルーレベル期間 t の一部の期間 t' のみにおいてハイレベルである。第1のパルス信号 S_b と第2のパルス信号 S_c とのピークツウピーク値 B は、CCD出力信号 S_a のピークツウピーク値 A よりも大きい値に設定されている。したがって、第1のパルス信号 S_b と第2のパルス信号 S_c とのハイレベルはCCD出力信号 S_a の最大値よりも高く、パルス信号 S_b と S_c とのローレベルはCCD出力信号 S_a の最小値よりも低い。

第1のNAM回路11は、CCD出力信号 S_a と第1のパルス信号 S_b とが入力され、信号 S_a のリセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v とのいずれにおいても、CCD出力信号 S_a と第1のパルス信号 S_b のうちレベルがより低い方の信号を選択して出力する。したがって、第1のNAM回路11からの混合信号 S_e は、図2(e)に示す波形になる。この混合信号 S_e の波形は、図2(a)に示すCCD出力信号 S_a の信号レベル期間 v のうちの一部の期間 v' においては、その信号 S_a の波形と同じで、期間 v' 以外の期間においては、図2(b)に示す第1のパルス信号 S_b の波形と置換されている。第1のNAM回路11の混合信号 S_e は、差分回路16の非反転入力端子(+)に出力される。

第2のNAM回路12は、CCD出力信号 S_a と第2のパルス信号 S_c とが入力され、信号 S_a のリセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v

とのいずれにおいても、CCD出力信号 S_a と第2のパルス信号 S_c のうちレベルがより低い方の信号を選択して出力する。したがって、第2のNAM回路12の出力する混合信号 S_d は、図2(d)に示す波形になる。この混合信号 S_d の波形は、図2(a)に示す信号 S_a のフィードスルーレベル期間 t のうちの一部の期間 t' においては、そのCCD出力信号 S_a の波形と同じであり、期間 t' 以外の期間においては、図2(c)に示す第2のパルス信号 S_c の波形と置換されている。

遅延回路14は、第2のNAM回路12からの混合信号 S_d が入力され、所定の遅延時間 τ だけ信号 S_d を遅延させ、その遅延信号 S_f を差分回路16の反転入力端子(−)に出力する。遅延時間 τ は、図2(d)に示す第2のNAM回路12の混合信号 S_d の期間 t' が、図2(e)に示す第1のNAM回路11の混合信号 S_e の期間 v' までシフトする値に設定されている。すなわち、CCD出力信号 S_a の信号レベル期間 v に対して、遅延回路14の遅延信号 S_f におけるフィードスルーレベル期間 t が重なるように遅延時間 τ が設定されている。その結果、そのシフトに対応する遅延信号 S_f の期間 t'' は、第1のNAM回路11の混合信号 S_e の期間 v' と丁度重なる。

差分回路16は、期間 v' と期間 t'' とが丁度重なった第1のNAM回路11の混合信号 S_e と遅延回路14からの遅延信号 S_f とが入力され、両者の差分($S_e - S_f$)を演算し、その演算結果として図2(g)に示す出力信号 S_g を出力する。この出力信号 S_g においては、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 N_v とフィードスルーレベル期間 t におけるノイズ成分 N_t とが打ち消し合い除去されている。

L P F 1 7 は、差分回路16からの出力信号 S_g が入力

され、不要な高域成分を除去して平均化し、図 2 (h) に示す最終の出力信号 S_h を出力する。

本実施の形態 1 のノイズ低減回路によれば、次のような利点が得られる。

- 5 従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路と比べると、本実施の形態 1 のノイズ低減回路はゲート回路を用いておらず、スイッチング動作を行わないので、CCD 10 の高画素化に伴って画素周期が短くなっても、ノイズの低減を容易にかつ確実にノイズを低減できる。また、差分回路 16 のダイナミックレンジを、CCD 出力信号 S_a のピークツウピーク値 A の 2 分の 1 以下にできるため、差分回路 16 の消費電力を低減できる。

- 15 また、NAM 回路を用いた従来の技術のノイズ低減回路と比べると、本実施の形態 1 のノイズ低減回路は、パルス発生回路 15 から出力するパルス信号 S_b 、 S_c のピークツウピーク値 B をより小さくできるため、CCD 10 の高画素化に伴って画素周期が短くなっても、パルス発生回路 15 での消費電力を低減できる。

- 20 さらに、NAM 回路 11、12 に入力される信号のピークツウピーク値が従来の技術の回路の 2 分の 1 になるため、CCD 10 の高画素化に伴って画素周期が短くなっても、NAM 回路 11、12 のダイナミックレンジが小さくなり、NAM 回路 11、12 における消費電力が低減される。

- 25 さらに、遅延回路 14 のダイナミックレンジを CCD 出力信号 S_a のピークツウピーク値 A の 2 分の 1 以下に小さくすることができるため、CCD 10 の高画素化に伴って画素周期が短くなっても、遅延回路 14 における消費電力が低減される。

以下、本発明の実施の形態２のノイズ低減回路について図３と図４と図７とを用いて説明する。

図３は本実施の形態２におけるノイズ低減回路の構成の一例を示すブロック図である。ＣＣＤ２０の出力端子は第１のＮＡＭ回路２１の一方の入力端子と遅延回路２４の入力端子とに接続される。遅延回路２４の出力端子は第２のＮＡＭ回路２２の一方の入力端子に接続されている。遅延回路２４は、ＣＣＤ２０の出力信号Ｔ_aが入力されて信号Ｔ_aを遅延し、その出力である遅延信号Ｔ_bを第２のＮＡＭ回路２２に供給する。第１のＮＡＭ回路２１のもう一方の入力端子と第２のＮＡＭ回路２２のもう一方の入力端子とにはパルス発生回路２５の出力端子が接続されている。パルス発生回路２５は、ＣＣＤ１の出力信号Ｔ_aの周期と同一周期の１種類のパルス信号Ｔ_cを出力する。

第１のＮＡＭ回路２１は、入力されるＣＣＤ出力信号Ｔ_aとパルス信号Ｔ_cのうち低い方のレベルの信号を出力する。第１のＮＡＭ回路２１の出力信号をＴ_eとする。また、第２のＮＡＭ回路２２も同様に、入力される遅延信号Ｔ_bとパルス信号Ｔ_cのうち低い方のレベルの信号を出力する。第２のＮＡＭ回路２２の出力信号をＴ_dとする。

低い方のレベルの信号を出力するための両ＮＡＭ回路２１、２２の回路構成は、実施の形態１の場合と同様に図７で示されるようになっている。

第２のＮＡＭ回路２２の出力端子は、差分回路２６の一方の入力端子である反転入力端子（－）に接続されている。すなわち、第２のＮＡＭ回路２２の混合信号Ｔ_dが差分回路２６の反転入力端子（－）に入力される。第１のＮＡＭ回路２１の出力端子は、差分回路２６の他方の入力端子である非反転入力端子（＋）に接続されている。すなわち、第１のＮＡＭ回路２１の混合信号Ｔ_eが差分回路２６の非

反転入力端子（＋）に入力される。

差分回路 26 は、混合信号 T_e と混合信号 T_d との差分（ $T_e - T_d$ ）を演算して、その結果の差分信号 T_f を出力する。差分回路 26 の出力端子はローパスフィルタ（LPF）27 の入力端子に接続され、LPF 27 は不要な高域成分を除去した出力信号 T_g を出力する。

次に、図 4 に示すタイミングチャートを用いて本実施の形態 2 のノイズ低減回路の動作を説明する。

図 4（a）は、CCD 20 から出力される CCD 出力信号 T_a の波形を示す。この CCD 出力信号 T_a は、リセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v とを順に繰り返す波形である。出力信号 T_a において、フィードスルーレベル期間 t におけるノイズ成分 N_t と信号レベル期間 v におけるノイズ成分 N_v とは相関がある。

遅延回路 24 は、CCD 出力信号 T_a を所定の遅延時間 τ だけ遅延し、その遅延信号 T_b を第 2 の NAM 回路 22 に出力する。遅延時間 τ は、CCD 出力信号 T_a の信号レベル期間 v と遅延信号 T_b のフィードスルーレベル期間 t とが重なるように設定されている。

図 4（c）は、パルス発生回路 25 から第 1 および第 2 の NAM 回路 21、22 に出力されるパルス信号 T_c の波形を示す。このパルス信号 T_c は、CCD 出力信号 T_a と同じの周期をもち、出力信号 T_a における信号レベル期間 v の一部の期間 v' のみにおいてハイレベルに設定されている。

パルス信号 T_c のピークツウピーク値 B は、CCD 出力信号 T_a のピークツウピーク値 A よりも大きく設定されている。したがって、パルス信号 T_c のハイレベルは出力信号 T_a の最大値よりも高く、そのローレベルは出力信号 T

a の最小値よりも低い。

第 1 の N A M 回路 2 1 には、C C D 出力信号 T a とパルス信号 T c が入力され、N A M 回路 2 1 は、C C D 出力信号 T a のリセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v のいずれにおいても、C C D 出力信号 T a とパルス信号 T c のうちレベルがより低い方の信号を選択して出力する。したがって、第 1 の N A M 回路 2 1 からの混合信号 T e は、図 4 (e) に示す波形となる。この第 1 の N A M 回路 2 1 の混合信号 T e の波形は、図 4 (a) に示す C C D 出力信号 T a の信号レベル期間 v のうちの一部の期間 v ' においては、その C C D 出力信号 T a の波形と同じであり、期間 v ' 以外の期間においては、図 4 (c) に示すパルス信号 T c の波形と置換されている。第 1 の N A M 回路 2 1 の混合信号 T e は、差分回路 2 6 の非反転入力端子 (+) に出力される。

第 2 の N A M 回路 2 2 には、遅延信号 T b とパルス信号 T c を入力し、N A M 回路 2 2 は、C C D 出力信号 T a のリセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v とのいずれにおいても、遅延信号 T b とパルス信号 T c のうちレベルがより低い方の信号を選択して出力する。したがって、第 2 の N A M 回路 2 2 からの混合信号 T d は、図 4 (d) に示す波形となる。この第 2 の N A M 回路 2 2 の混合信号 T d の波形は、図 4 (b) に示す遅延信号 T b の期間 v ' においては、その遅延信号 T b の波形と同じであり、期間 v ' 以外の期間においては、図 4 (c) に示すパルス信号 T c の波形と置換されている。

なお、遅延回路 2 4 における遅延時間 τ は、図 4 (b) に示す遅延信号 T b の期間 v ' 、もしくは図 4 (d) に示す第 2 の N A M 回路 2 2 の混合信号 T d の期間 v ' が図 4 (e) に示す第 1 の N A M 回路 2 1 の混合信号 T e の期間

v' と重なるように設定されている。その結果、図 4 (d) に示す第 2 の NAM 回路 22 からの混合信号 T_d の期間 v' は、図 4 (e) に示す第 1 の NAM 回路 21 の混合信号 T_e の期間 v' と丁度重なる。

5 差分回路 26 には、期間 v' が丁度重なった第 1 の NAM 回路 21 の混合信号 T_e と第 2 の NAM 回路 22 からの混合信号 T_d とが入力され、差分回路 26 は、両者の差分 ($T_e - T_d$) を演算し、その演算結果として、図 4 (f) に示す差分信号 T_f を出力する。差分信号 T_f においては、互いに相関性をもっている信号レベル期間 v におけるノイズ成分 N_v とフィードスルーレベル期間 t におけるノイズ成分 N_t とが打ち消し合い除去されている。

10 LPF 27 は、差分回路 26 からの差分信号 T_f を入力して、不要な高域成分を除去して平均化し、図 4 (g) に示す最終の出力信号 T_g を出力する。

15 以上のようにして、本実施の形態 2 のノイズ低減回路によれば、次のような利点を得られる。

従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路と比べると、本実施の形態 2 のノイズ低減回路はゲート
20 回路を用いておらず、スイッチング動作を行わないため、CCD 20 の高画素化に伴って画素周期が短くなっても、ノイズを容易にかつ確実に低減できる。また、差分回路 26 のダイナミックレンジを、CCD 出力信号 T_a のピークツウピーク値 A の 2 分の 1 以下にできるため、差分回路 2
25 6 における消費電力を低減できる。

また、NAM 回路を用いた従来の技術のノイズ低減回路と比べると、本実施の形態 2 のノイズ低減回路は、パルス発生回路 25 から出力するパルス信号 T_c のピークツウピーク値 B をより小さくできるため、CCD 20 の高画素化
30 に伴って画素周期が短くなっても、パルス発生回路 25 に

おける消費電力を低減できる。

さらに、NAM回路21, 22に入力される信号のピークツウピーク値が従来の技術の場合の2分の1になるため、NAM回路21, 22のダイナミックレンジを小さくすることができ、CCD20の高画素化に伴って画素周期が短くなっても、NAM回路21, 22における消費電力を低減できる。

加えて、実施の形態1に比べると、本実施の形態2のノイズ低減回路ではパルス発生回路25が出力するパルス信号Tcが1種類ですむため、さらに回路を簡素にでき、消費電力が低減される。

〔実施の形態3〕

以下、本発明の実施の形態3のノイズ低減回路について図5と図6と図7とを用いて説明する。

図5は本実施の形態3におけるノイズ低減回路の構成の一例を示すブロック図である。CCD30の出力端子は第1のNAM回路31の一方の入力端子と反転回路33の入力端子とに接続される。反転回路33の出力端子は遅延回路34の入力端子に接続され、遅延回路34の出力端子は第2のNAM回路32の一方の入力端子に接続されている。反転回路33は、CCD30の出力信号Uaを正負反転して、反転信号Ubを出力する。遅延回路34は、反転回路33の反転信号Ubを入力されて信号Ubを遅延し、その遅延信号Ucを第2のNAM回路32に出力する。第1のNAM回路31のもう一方の入力端子と第2のNAM回路32のもう一方の入力端子とには、パルス発生回路35の出力端子が接続されている。パルス発生回路35は、CCD30の出力信号Uaの周期と同一周期の1種類のパルス信号Udを出力する。

第 1 の N A M 回路 3 1 は、入力される C C D 出力信号 U_a とパルス信号 U_d のうち低い方のレベルの信号を出力する。第 1 の N A M 回路 3 1 の出力信号を U_f とする。また、第 2 の N A M 回路 3 2 も同様に、入力される遅延信号 U_c とパルス信号 U_d のうち低い方のレベルの信号を出力する。第 2 の N A M 回路 3 2 の出力信号を U_e とする。

低い方のレベルの信号を出力するための両 N A M 回路 3 1, 3 2 の回路構成は、実施の形態 1 の場合と同様に図 7 に示すものである。

第 2 の N A M 回路 3 2 の出力端子は、加算回路 3 6 の一方の入力端子に接続されている。すなわち、第 2 の N A M 回路 3 2 の混合信号 U_e が加算回路 3 6 に入力される。第 1 の N A M 回路 3 1 の出力端子は、加算回路 3 6 の他方の入力端子に接続されている。すなわち、第 1 の N A M 回路 3 1 の混合信号 U_f が加算回路 3 6 に入力される。

加算回路 3 6 は、第 1 の N A M 回路 3 1 から入力した混合信号 U_f と第 2 の N A M 回路 3 2 から入力した遅延信号 U_e との和 ($U_f + U_e$) を演算し、その演算結果の加算信号 U_g を出力する。加算回路 3 6 の出力端子はローパスフィルタ (L P F) 3 7 の入力端子に接続され、ローパスフィルタ 3 7 は不要な高域成分を除去した出力信号 U_h を出力する。

次に、図 6 に示すタイミングチャートを用いて本実施の形態 3 のノイズ低減回路の動作を説明する。

図 6 (a) は、C C D 3 0 から出力される C C D 出力信号 U_a の波形を示す。この C C D 出力信号 U_a の波形は、リセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v とを順に繰り返す。C C D 出力信号 U_a において、フィードスルーレベル期間 t におけるノイズ成分 N_t と信号レベル期間 v におけるノイズ成分 N_v とは相関

性がある。

反転回路 33 は、CCD 30 からの CCD 出力信号 U_a を反転して、図 6 (b) に示す反転信号 U_b を生成し、その反転信号 U_b を遅延回路 34 に出力する。遅延回路 34 は、反転回路 33 からの反転信号 U_b を入力され、所定の信号 U_b を遅延時間 τ だけ遅延させて、図 6 (c) に示す遅延信号 U_c を生成し、その遅延信号 U_c を第 2 の NAM 回路 32 に出力する。遅延時間 τ は、CCD 出力信号 U_a の信号レベル期間 v と遅延信号 U_c のフィードスルーレベル期間 t とが重なるように設定されている。

図 6 (d) は、パルス発生回路 35 から第 1 と第 2 の NAM 回路 31、32 に出力されるパルス信号 U_d の波形を示す。このパルス信号 U_d は、CCD 出力信号 U_a と同一の周期をもち、CCD 出力信号 U_a における信号レベル期間 v の一部の期間 v' のみにおいてハイレベルとなるように設定されている。

パルス信号 U_d のピークツウピーク値 C は、CCD 出力信号 U_a のピークツウピーク値 A よりもかなり小さなものに設定されている。すなわち、パルス信号 U_d のピークツウピーク値 C は、少なくとも、CCD 出力信号 U_a に含まれるノイズ成分の最大値 D の 2 倍よりも大きく設定されている。 $(C > 2D)$

第 1 の NAM 回路 31 は、CCD 出力信号 U_a とパルス信号 U_d を入力され、リセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v のいずれにおいても、CCD 出力信号 U_a とパルス信号 U_d のうちレベルがより低い方の信号を選択して出力する。したがって、第 1 の NAM 回路 31 からの混合信号 U_f の波形は、図 4 (f) に示すものになる。この第 1 の NAM 回路 31 の混合信号 U_f の波形は、図 4 (a) に示す CCD 出力信号 U_a の信号

レベル期間 v のうちの一部の期間 v' においては、その C D 出力信号 U_a の波形と同じであり、期間 v' 以外の期間においては、図 4 (d) に示すパルス信号 U_d の波形と置換されている。第 1 の N A M 回路 3 1 の混合信号 U_f は、

5 加算回路 3 6 の入力端子に出力される。

第 2 の N A M 回路 3 2 は、遅延信号 U_c とパルス信号 U_d を入力され、リセットレベル期間 r とフィードスルーレベル期間 t と信号レベル期間 v のいずれにおいても、遅延信号 U_c とパルス信号 U_d のうちレベルがより低い方の信号を選択して出力する。したがって、第 2 の N A M 回路 3

10 2 からの混合信号 U_e の波形は、図 4 (e) に示すものになる。この混合信号 U_e の波形は、図 4 (c) に示す期間 v' においては、その遅延信号 U_c の波形と同じであり、期間 v' 以外の期間においては、図 4 (d) に示すパルス信号 U_d の波形と置換されている。

15

なお、遅延回路 3 4 における遅延時間 τ は、図 6 (c) に示す遅延信号 U_c の期間 v' すなわち図 6 (e) に示す第 2 の N A M 回路 3 2 の混合信号 U_e の期間 v' が、図 6 (f) に示す第 1 の N A M 回路 3 1 の混合信号 U_f の期間 v' と重なるように、反転信号 U_b をシフトして遅延信号 U_c となるための値に設定されている。その結果、図 6 (e) に示す第 2 の N A M 回路 3 2 からの混合信号 U_e の期間 v' は、第 1 の N A M 回路 3 1 の混合信号 U_f の期間 v' と丁度重なる。

20

加算回路 3 6 は、期間 v' が丁度重なった第 1 の N A M 回路 3 1 の混合信号 U_f と第 2 の N A M 回路 3 2 からの混合信号 U_e を入力され、両者の和 ($U_e + U_f$) を演算し、その演算結果の図 6 (g) に示す加算信号 U_g を出力する。この加算信号 U_g においては、互いに相関性をもっている

25

30 信号レベル期間 v におけるノイズ成分 N_v とフィードスル

ーレベル期間 t におけるノイズ成分 N_t とが打ち消し合い除去されている。

LPF 37 は、加算信号 U_g を入力して、不要な高域成分を除去して平均化し、図 6 (h) に示す最終の出力信号 U_h を出力する。

以上のようにして、本実施の形態 3 のノイズ低減回路によれば、次のような利点を得られる。

従来の技術の遅延差ノイズ除去法を用いたノイズ低減回路と比べると、本実施の形態 3 のノイズ低減回路ゲート回路を用いておらず、スイッチング動作を行わないため、CCD 30 の高画素化に伴って画素周期が短くなっても、ノイズを容易にかつ確実に低減できる。また、加算回路 36 のダイナミックレンジが、CCD 出力信号 U_a のピークツウピーク値 A の 2 分の 1 以下にできるため、加算回路 36 における消費電力が低減される。

さらに、NAM 回路 31、32 に入力される信号のピークツウピーク値が従来の技術の場合の 2 分の 1 になるため、CCD 30 の高画素化に伴って画素周期が短くなっても、NAM 回路 31、32 のダイナミックレンジが小さくてすみ、NAM 回路 31、32 において消費電力が低減される。

加えて、実施の形態 1 に比べると、パルス発生回路 35 より出力するパルス信号 U_d が 1 種類ですむため、さらに回路が簡素になり、消費電力がより低減される。

特に、パルス発生回路 35 から出力するパルス信号 U_d のピークツウピーク値 C を十分に小さくできるため、CCD 30 の高画素化に伴って画素周期が短くなっても、パルス発生回路 35 において大幅に消費電力が低減される。

1. 電荷結合素子（CCD）の出力信号と同一周期のパルス信号を出力するパルス発生回路と、

5 回路の発生する第 1 のパルス信号とのうち、レベルがより低い方の信号を選択して出力する第 1 の混合回路と、

上記電荷結合素子の上記出力信号と前記パルス発生回路の発生する第2のパルス信号とのうち、レベルがより低い方の信号を選択して出力する第2の混合回路と、

10 前記第2の混合回路の出力する信号を遅延する遅延回路と、

前記第 1 の混合回路の出力する信号と前記遅延回路の出力する信号との差をとる差分回路とを備えるノイズ低減回路。

2. 請求項1記載のノイズ低減回路において、

上記第 1 のパルス信号のハイレベルの期間の少なくとも一部は、上記電荷結合素子の上記出力信号の信号レベル期間に重なり、

20 上記第2のパルス信号のハイレベルの期間は、上記
電荷結合素子の上記出力信号のフィードスルーレベル期間
に重なる。

3. 請求項1記載のノイズ低減回路において、前記遅延回路の遅延量は、前記遅延回路の出力する信号のフィードスルーレベル期間が上記電荷結合素子の上記出力信号の信号レベル期間に重なるように設定されている。

4. 請求項1記載のノイズ低減回路において、上記電荷結
30 合素子の上記出力信号は、リセットレベル期間とフィード

スルーレベル期間と信号レベル期間とがこの順で繰り返すように生成される。

5. 電荷結合素子の出力信号を遅延させる遅延回路と、
上記電荷結合素子（CCD）の上記出力信号と同一
周期のパルス信号を出力するパルス発生回路と、

上記電荷結合素子の上記出力信号と前記パルス発生
回路の発生するパルス信号とのうち、レベルがより低い方
の信号を選択して出力する第1の混合回路と、

前記遅延回路の出力する遅延信号と前記パルス発生
回路の発生するパルス信号とのうち、レベルがより低い方
の信号を選択して出力する第2の混合回路と、

前記第1の混合回路の出力する信号と前記第2の混
合回路の出力する信号との差をとる差分回路
とを備えるノイズ低減回路。

6. 請求項5記載のノイズ低減回路において、前記パルス
発生回路の発生するパルス信号のハイレベルの期間の少な
くとも一部は、上記電荷結合素子の上記出力信号の信号レ
ベル期間に重なる。

7. 請求項5記載のノイズ低減回路において、前記遅延回
路の遅延量は、前記遅延回路の出力する信号のフィードス
ルーレベル期間が上記電荷結合素子の上記出力信号の信号
レベル期間に重なるように設定されている。

8. 請求項5記載のノイズ低減回路において、上記電荷結
合素子の上記出力信号は、リセットレベル期間とフィード
スルーレベル期間と信号レベル期間とがこの順で繰り返す
ように生成される。

前記反転回路の出力する信号を遅延させる遅延回路

上記電荷結合素子の上記出力信号と同一周期のパルス信号を出力するパルス発生回路と、

10 の信号を選択して出力する第1の混合回路と、
 前記遅延回路の出力する信号と前記パルス発生回路
 の発生するパルス信号のうち、レベルがより低い方の信号
 を選択して出力する第2の混合回路と、

15 合回路の出力する信号との和をとる加算回路
とを備えるノイズ低減回路。

20 なくとも一部は、上記電荷結合素子の上記出力信号の信号
 レベル期間に重なる。

25 スルーレベル期間が上記電荷結合素子の上記出力信号の信号レベル期間に重なるように設定されている。

30 ドスルーレベル期間と信号レベル期間とがこの順で繰り返

高解像度の電荷結合素子（ＣＣＤ）についても通常解像度のものと同様に、低電力で良好なノイズの低減効果が得られるノイズ低減回路が提供される。遅延回路によりＣＣＤの出力信号を遅延させ、パルス発生回路において、ＣＣＤ出力信号と同一周期でかつそのハイレベルの期間の一部がＣＣＤ出力信号の信号レベル期間に重なるパルス信号を出力する。第１の非加算混合（ＮＡＭ）回路は、上記ＣＣＤ出力信号と上記パルス信号のうち、レベルがより低い方を選択し出力する。第２のＮＡＭ回路は、上記遅延回路の出力信号と上記パルス信号のうち、レベルがより低い方を選択し出力する。差分回路は、第１のＮＡＭ回路の出力信号と第２のＮＡＭ回路の出力信号の差をとる。遅延回路の遅延時間は、遅延回路の出力信号のフィードスルーレベル期間がＣＣＤ出力信号の信号レベル期間に重なるように設定される。

图 2

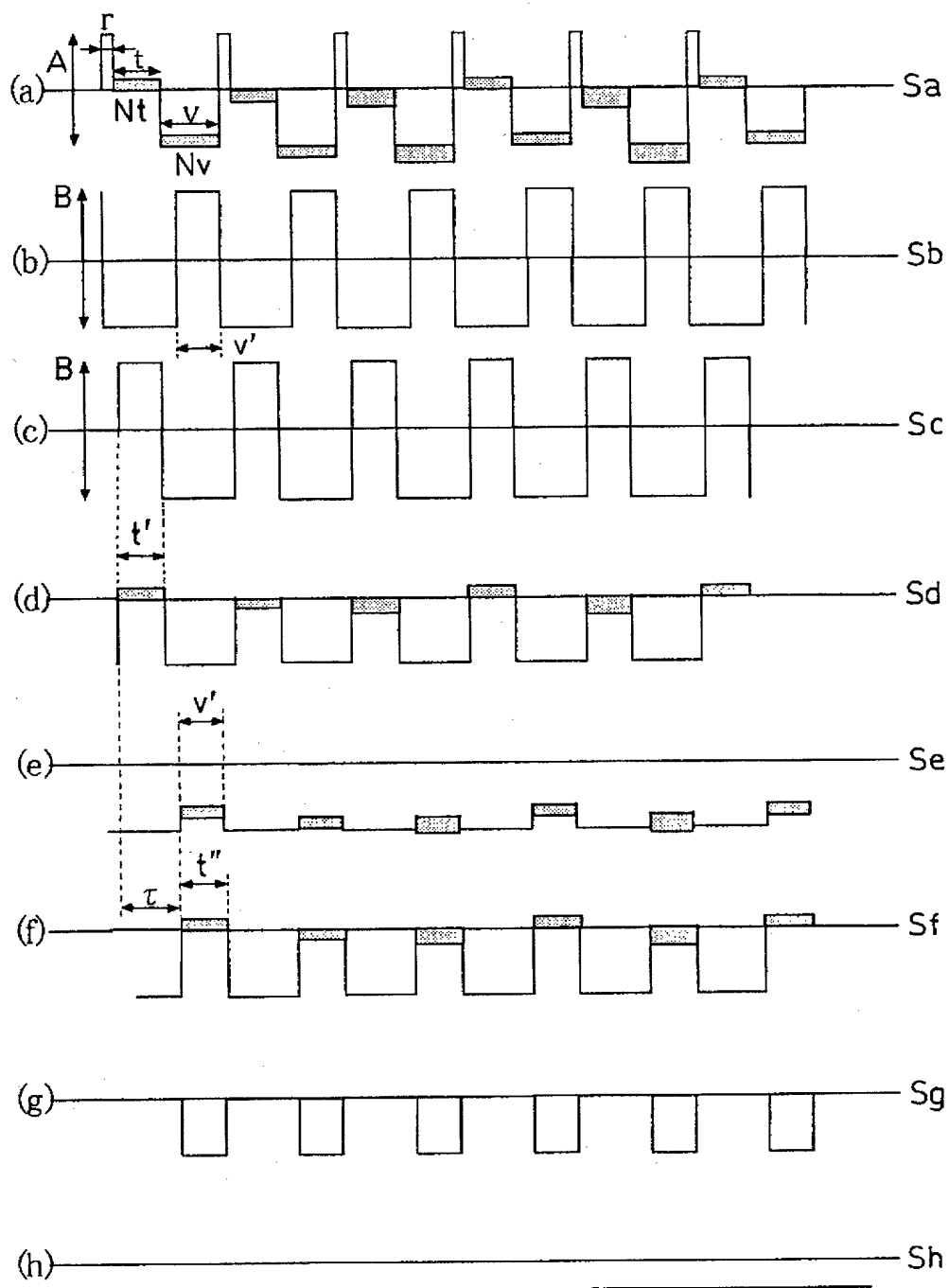


図 3

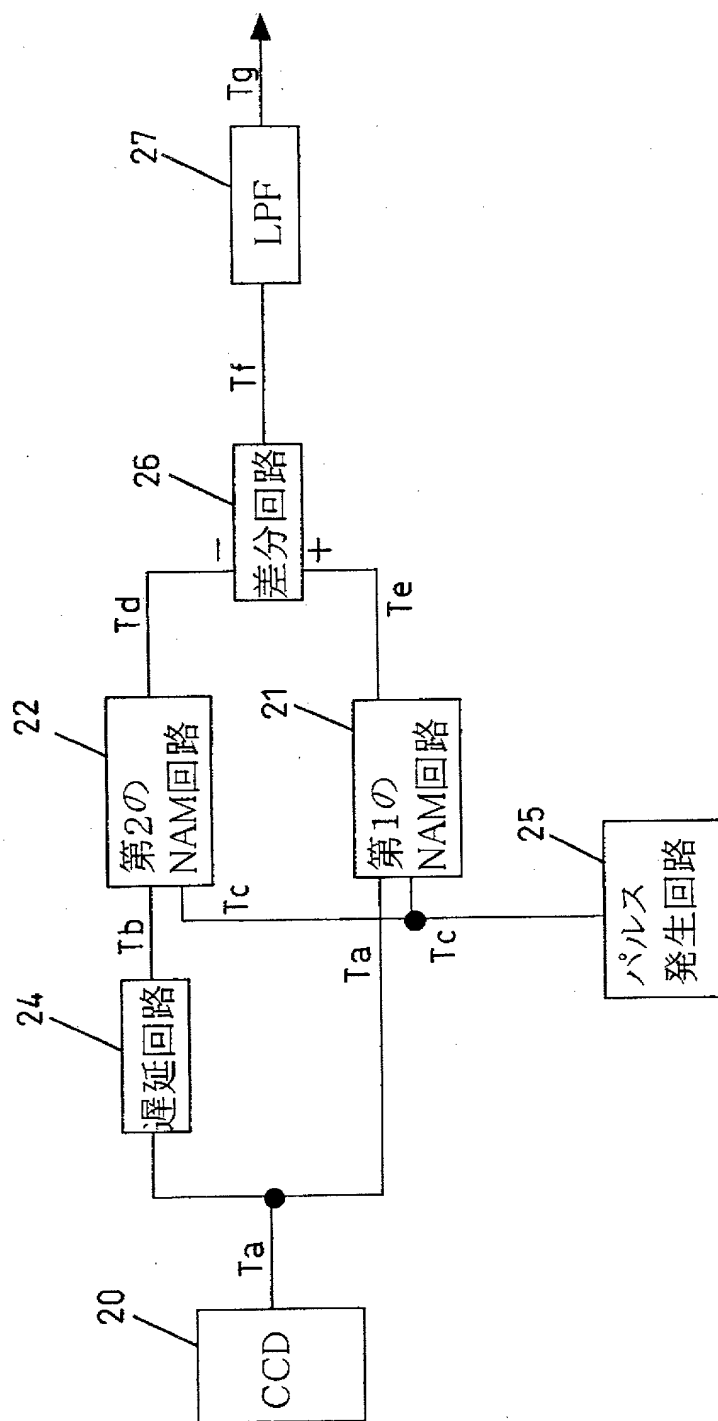


图 4

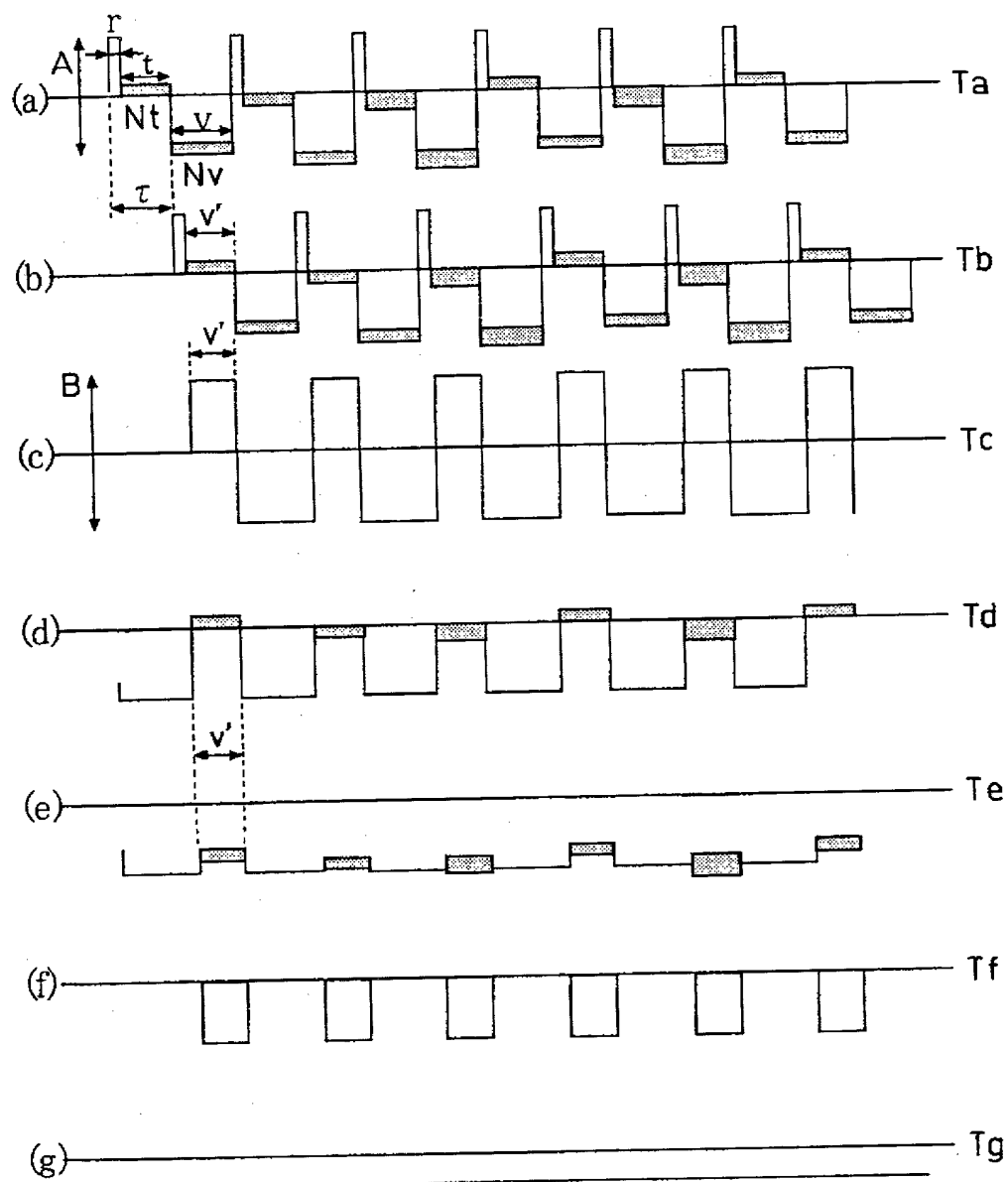


图 6

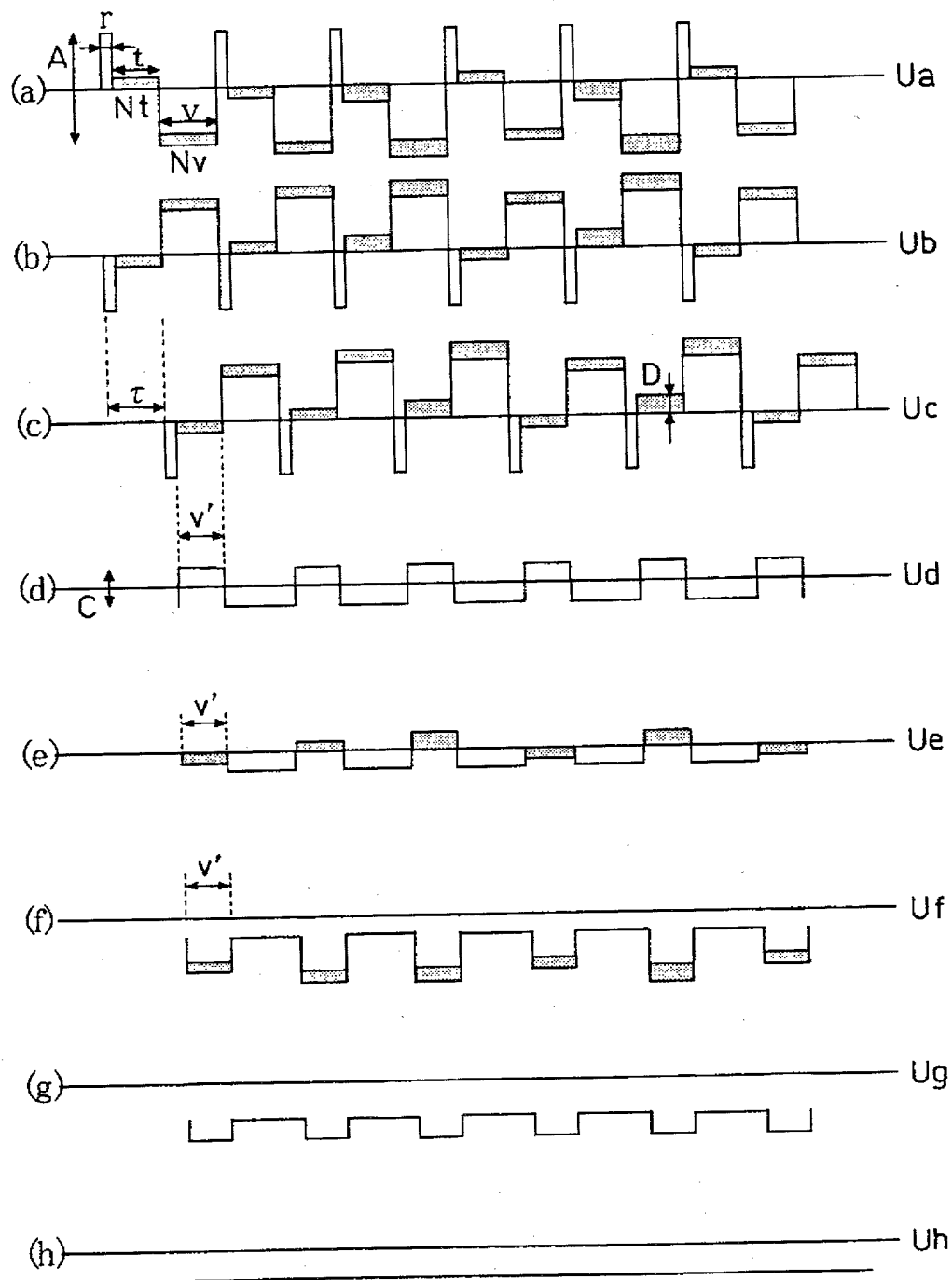


图 7

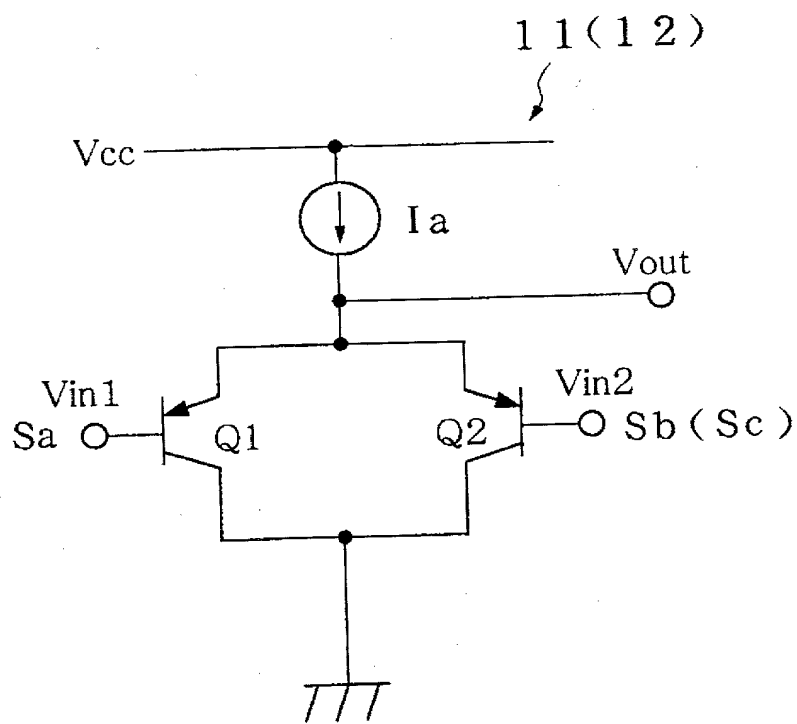


図8 ー 従来技術 ー

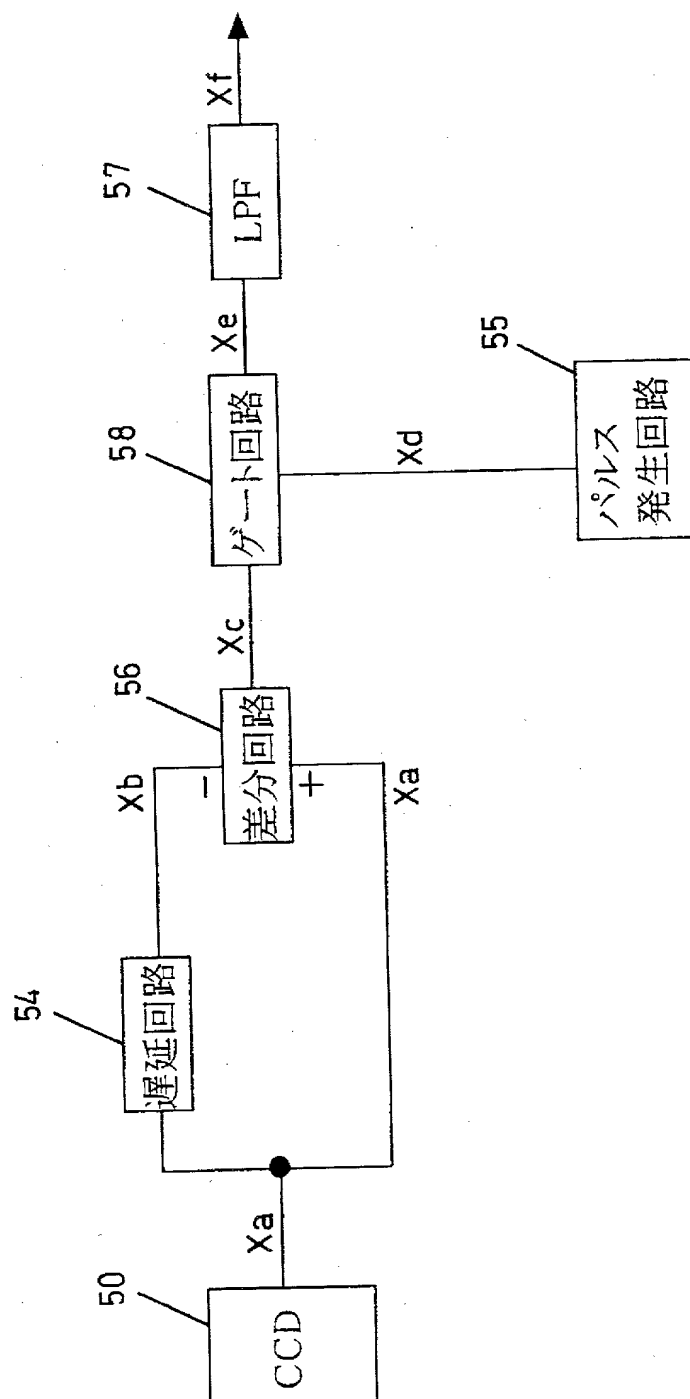


図9 — 従来技術 —

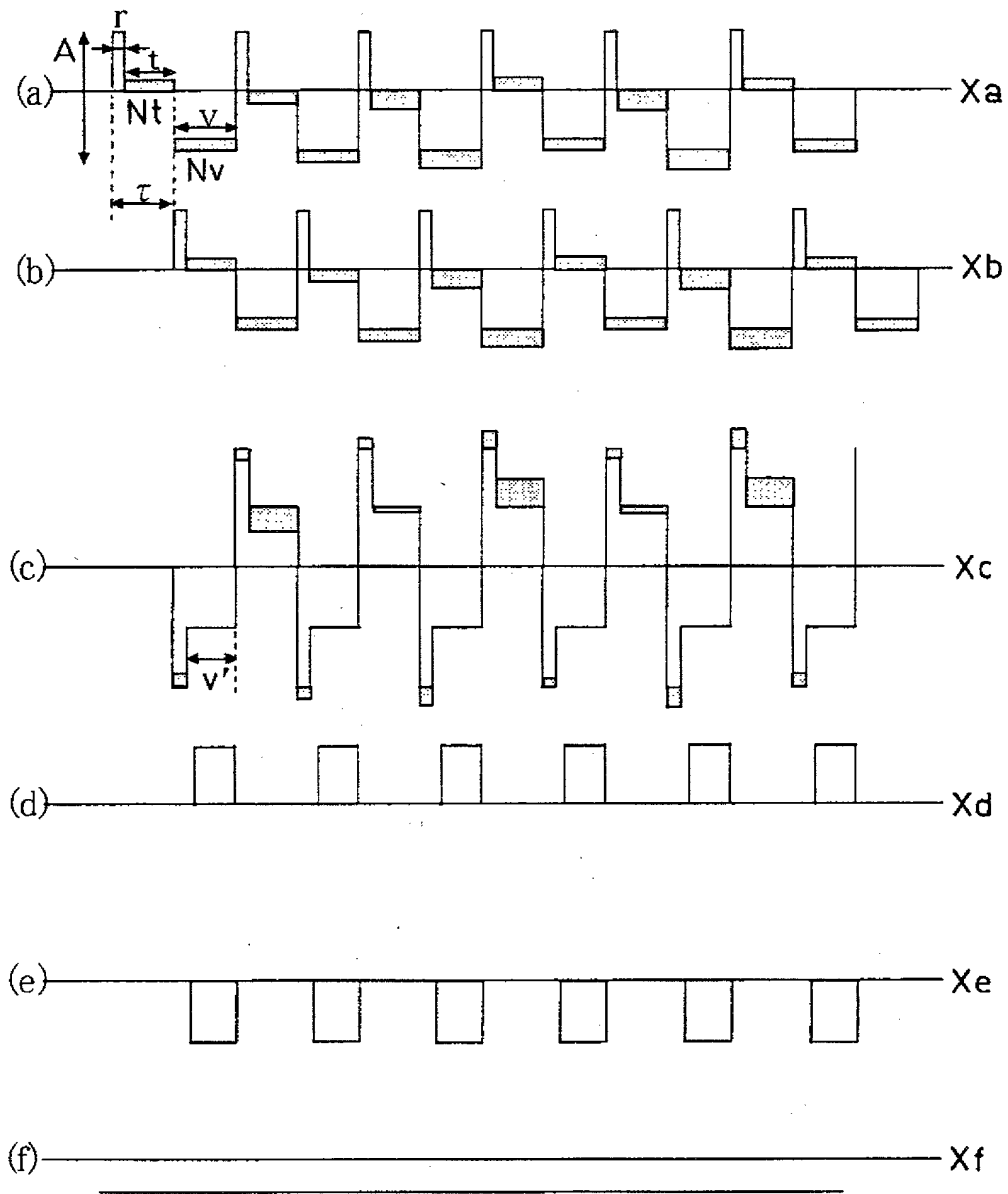


図 10

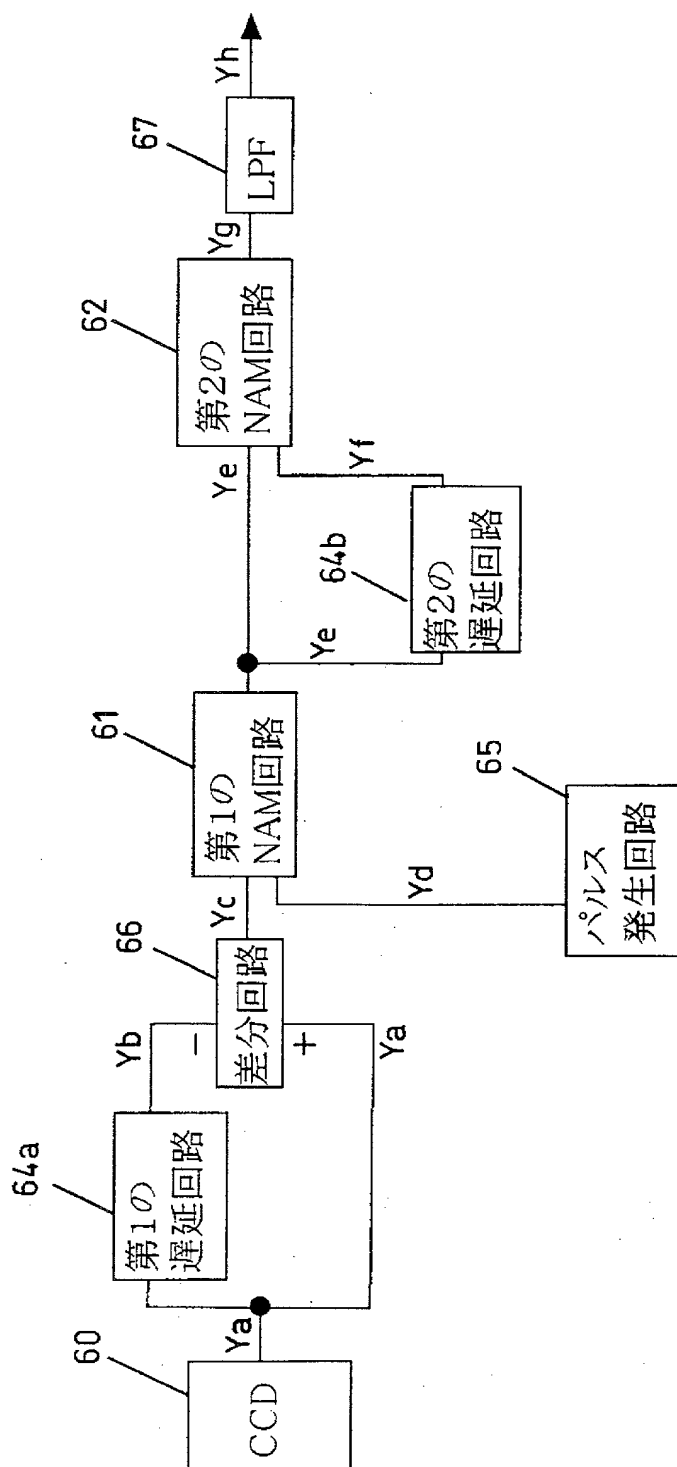
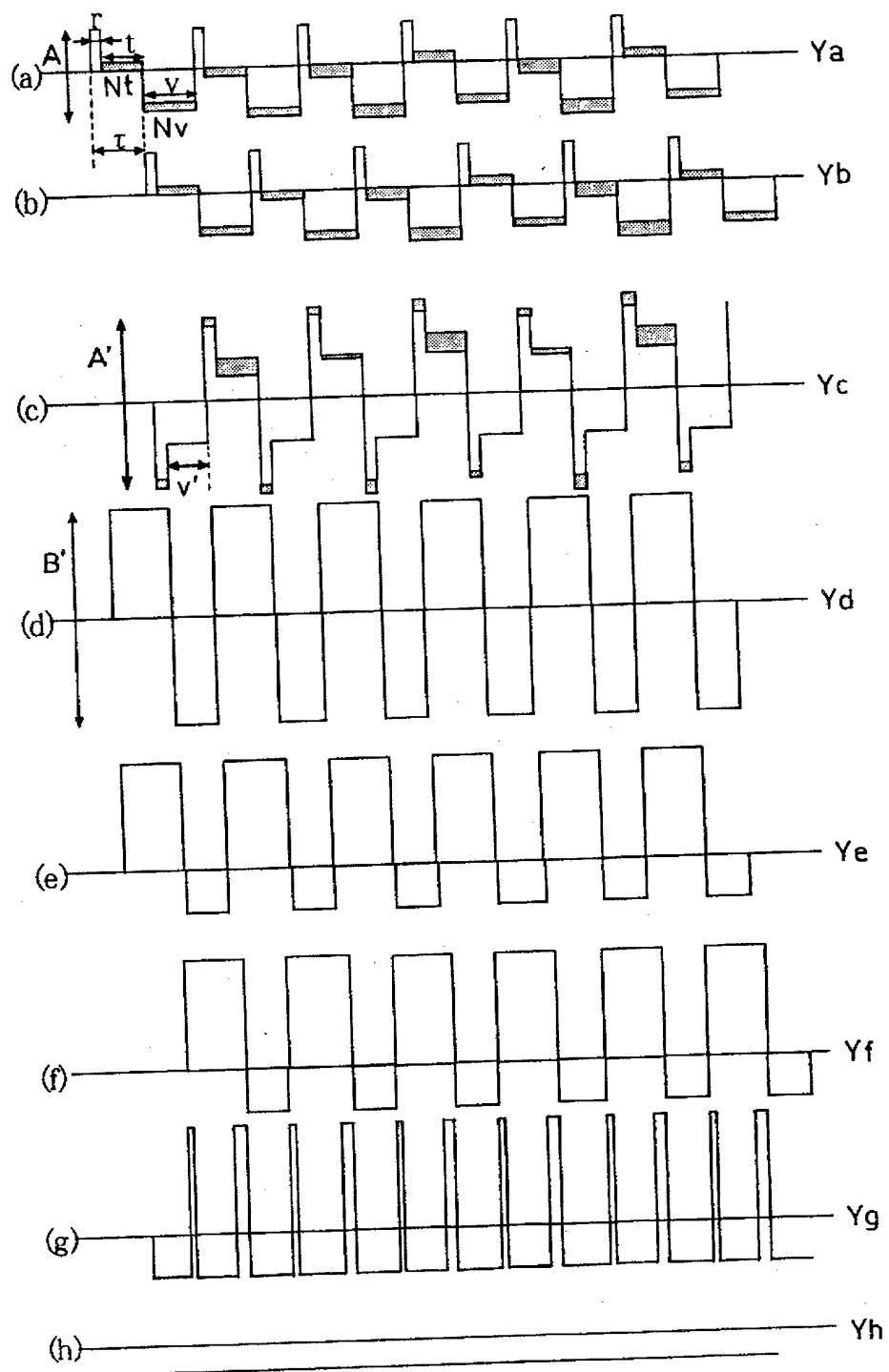


図 1 1 - 従来技術 -



DECLARATION AND POWER OF ATTORNEY FOR U.S. PATENT APPLICATION

(x) Original () Supplemental () Substitute () PCT () DESIGN

As a below named inventor, I hereby declare that: my residence, post office address and citizenship are as stated below next to my name; that I verily believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural inventors are named below) of the subject matter which is claimed and for which a patent is sought on the invention entitled:

Title: NOISE REDUCTION CIRCUIT FOR CCD OUTPUT SIGNAL

of which is described and claimed in:

- () the attached specification, or
 (x) the specification in application Serial No. _____, filed August 10, 2000, and with amendments through (if applicable), or
 () the specification in International Application No. , filed , and as amended on (if applicable).

I hereby state that I have reviewed and understand the content of the above-identified specification, including the claims, as amended by any amendment(s) referred to above.

I acknowledge my duty to disclose to the Patent and Trademark Office all information known to me to be material to patentability as defined in Title 37, Code of Federal Regulations, §1.56.

I hereby claim priority benefits under Title 35, United States Code, §119 (and §172 if this application is for a Design) of any application(s) for patent or inventor's certificate listed below and have also identified below any application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

COUNTRY	APPLICATION NO.	DATE OF FILING	PRIORITY CLAIMED
Japan	11-231420	August 18, 1999	YES

I hereby claim the benefit under Title 35, United States Code §120 of any United States application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of Title 35, United States Code §112, I acknowledge the duty to disclose information material to patentability as defined in Title 37, Code of Federal Regulations, §1.56 which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

APPLICATION SERIAL NO.	U.S. FILING DATE	STATUS: PATENTED, PENDING, ABANDONED

And I hereby appoint Michael R. Davis, Reg. No. 25,134; Matthew M. Jacob, Reg. No. 25,154; Jeffrey Nolton, Reg. No. 25,408; Warren M. Cheek, Jr., Reg. No. 33,367; Nils Pedersen, Reg. No. 33,145; and Charles R. Watts, Reg. No. 33,142, who together constitute the firm of WENDEROTH, LIND & PONACK, L.L.P., jointly and severally, attorneys to prosecute this application and to transact all business in the U.S. Patent and Trademark Office connected therewith.

I hereby authorize the U.S. attorneys named herein to accept and follow instructions from Matsushita Electric Industrial Co., Ltd. as to any action to be taken in the U.S. Patent and Trademark Office regarding this application without direct communication between the U.S. attorneys and myself. In the event of a change in the persons from whom instructions may be taken, the U.S. attorneys named herein will be so notified by me.

Send Correspondence to

Direct Telephone Calls to:

WENDEROTH, LIND & PONACK, L.L.P.
2033 K Street, N.W., Suite 800
Washington, D.C. 20006

WENDEROTH, LIND & PONACK, L.L.P.
Area Code (202) 721-8200

Direct Facsimile Messages to:
Area Code (202) 721-8250

Full Name of First Inventor	FAMILY NAME MINE	FIRST GIVEN NAME Tadami	SECOND GIVEN NAME
Residence & Citizenship	CITY Osaka	STATE OR COUNTRY Japan	COUNTRY OF CITIZENSHIP Japan
Post Office Address	ADDRESS 5-8-405, Myokenzaka, Katano-shi, Osaka, 576-0021	CITY	STATE OR COUNTRY Japan ZIP CODE
Full Name of Second Inventor	FAMILY NAME	FIRST GIVEN NAME	SECOND GIVEN NAME
Residence & Citizenship	CITY	STATE OR COUNTRY	COUNTRY OF CITIZENSHIP
Post Office Address	ADDRESS	CITY	STATE OR COUNTRY ZIP CODE
Full Name of Third Inventor	FAMILY NAME	FIRST GIVEN NAME	SECOND GIVEN NAME
Residence & Citizenship	CITY	STATE OR COUNTRY	COUNTRY OF CITIZENSHIP
Post Office Address	ADDRESS	CITY	STATE OR COUNTRY ZIP CODE
Full Name of Fourth Inventor	FAMILY NAME	FIRST GIVEN NAME	SECOND GIVEN NAME
Residence & Citizenship	CITY	STATE OR COUNTRY	COUNTRY OF CITIZENSHIP
Post Office Address	ADDRESS	CITY	STATE OR COUNTRY ZIP CODE
Full Name of Fifth Inventor	FAMILY NAME	FIRST GIVEN NAME	SECOND GIVEN NAME
Residence & Citizenship	CITY	STATE OR COUNTRY	COUNTRY OF CITIZENSHIP
Post Office Address	ADDRESS	CITY	STATE OR COUNTRY ZIP CODE
Full Name of Sixth Inventor	FAMILY NAME	FIRST GIVEN NAME	SECOND GIVEN NAME
Residence & Citizenship	CITY	STATE OR COUNTRY	COUNTRY OF CITIZENSHIP
Post Office Address	ADDRESS	CITY	STATE OR COUNTRY ZIP CODE

I further declare that all statements made herein of my own knowledge are true, and that all statements on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code, and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

1st Inventor _____ Date _____
Tadami Mine
2nd Inventor _____ Date _____
3rd Inventor _____ Date _____
4th Inventor _____ Date _____
5th Inventor _____ Date _____
6th Inventor _____ Date _____

The above application may be more particularly identified as follows:

U.S. Application Serial No. _____ Filing Date August 10, 2000

Applicant Reference Number P23484-01 (IS. Ynakao) Atty Docket No. 2000_1067A

Title of Invention NOISE REDUCTION CIRCUIT FOR CCD OUTPUT SIGNAL

[illegible]

In re application of	:	
Tadami MINE	:	Attn: APPLICATION BRANCH
Serial No. NEW	:	Docket No. 2000_1067A
Filed August 10, 2000	:	
NOISE REDUCTION CIRCUIT FOR CCD OUTPUT SIGNAL		

Assistant Commissioner for Patents.
Washington, D.C.

The above-identified application has been submitted without an executed oath or declaration pursuant to 37 CFR 1.41(c).

It is respectfully requested that this application be assigned a serial number and awarded a filing date pursuant to 37 CFR 1.53.

A duly executed oath or declaration pursuant to 37 CFR 1.63 will be submitted after notification by the U.S. Patent and Trademark Office pursuant to 37 CFR 1.52(d).

A non-executed copy of the Declaration and Power of Attorney, containing the inventorship information, is attached. It is respectfully requested that all communications be directed to the firm indicated on the attached Declaration and Power of Attorney, namely:

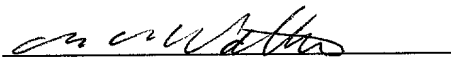
WENDEROTH, LIND & PONACK, L.L.P.
2033 K Street, N.W., Suite 800
Washington, D.C. 20006

The required U.S. Patent and Trademark Office Filing Fee is submitted herewith.

Respectfully submitted,

Tadami MINE

By



Charles R. Watts

Registration No. 33,142

Attorney for Applicant

CRW/tf

Washington, D.C.

Telephone (202) 721-8200

Facsimile (202) 721-8250

August 10, 2000